

Bevezetés a CMOS logikai áramkörök alkalmazástechnikájába

1. Szigetelt elektródájú tervezérlésű tranzisztorok és a CMOS alapelemek

1.1. A MOSFET eszközök fajtái, működésük alapjai

A MOSFET (Metal-Oxid-Semiconductor Field Effect Transistor) eszközök két alapvető fajtája az *n-csatornás* és a *p-csatornás* tranzisztor.

Mindkét tranzisztornak négy elektródája van. A *forrás* (SOURCE, **S**) és a *nyelő* (DRAIN, **D**) között folyó áramot a *kapu* (GATE, **G**) elektródával vezéreljük, miközben a hordozóra kapcsolt feszültség ugyancsak hat a folyó áram nagyságára. A MOSFET **S** és **D** elektródái nincsenek kijelölve, a köztük lévő feszültség polaritásától függ, melyik játssza a forrás, és melyik a nyelő szerepét.

Az 1.a ábrán az n-csatornás eszköz struktúráját látjuk. A hordozó gyengén p típusú, tehát benne a lyukak vannak többségben. A **S** és a **D** ebben kialakított két erősen n típusú sziget. A **G** egy SiO_2 (szilícium-dioxid) szigetelő rétegen át borul rá a **S** és a **D** közötti régióra.

A 1.b és 1.c ábrák a n-MOSFET két szokásos szimbólumát mutatja be. Az egyikben elektródként megjelenik a *hordozó* (BODY, **B**) is, míg a másikon, egy egyszerűbb változaton a **B** nem jelenik meg. Ha ezt a szimbólumot alkalmazzuk, akkor más módon kell megadni, hová kell kötni a **B** elektródát.

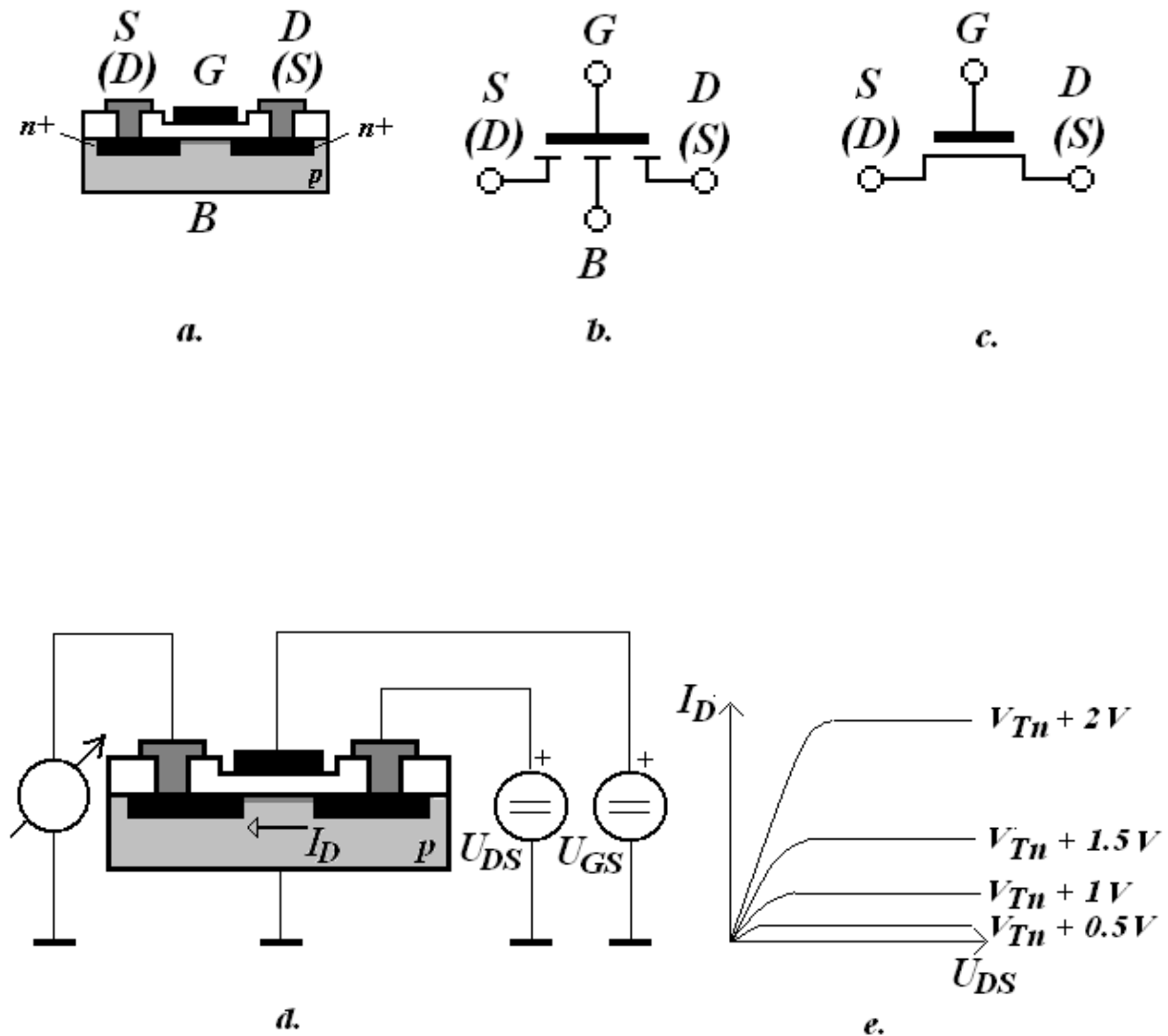
Ha a **G** és a **B** elektródára pozitív feszültséget kapcsolunk, akkor az így keletkező vertikális irányú térerő a többségi lyukakat elsodorja $\text{SiO}_2\text{-Si}$ határátmenet alól. Így a generálódó elektronok koncentrációja megnő, hiszen kisebb a rekombináló lyukak száma. Sőt a térerősség a tömb mélyén keletkező elektronokat a Si-SiO_2 határátmenet alá gyűjti. Bizonyos **G-B** feszültségnél az elektronok többségbe kerülnek, és kialakul az n-típusú inverziós réteg. Ezt a pozitív feszültséget küszöbfeszültségnek (V_{Tn}) nevezzük. Ha kialakult az inverziós réteg, és az egyik n típusú szigetre a **B**-vel azonos, a másikkra pedig ehhez képest pozitív feszültséget kapcsolunk, akkor a pozitívabb elektróda, mint **D** felé megindul az inverziós csatorna árama.

Az n-csatornás MOSFET karakterisztikáit az 1.e ábrán láthatjuk. A karakterisztikák egy adott **G-S** feszültséghez tartozó **D-S** áramot mutatják a **D-S** feszültség függvényében. Láthatjuk, hogy valamennyi karakterisztika két szakaszból áll, egy emelkedő (trióda) és egy állandó értékű (szaturációs) szakaszból. Azokat a pontokat, amelyek a két szakaszt elválasztják, szaturációs pontoknak nevezzük.

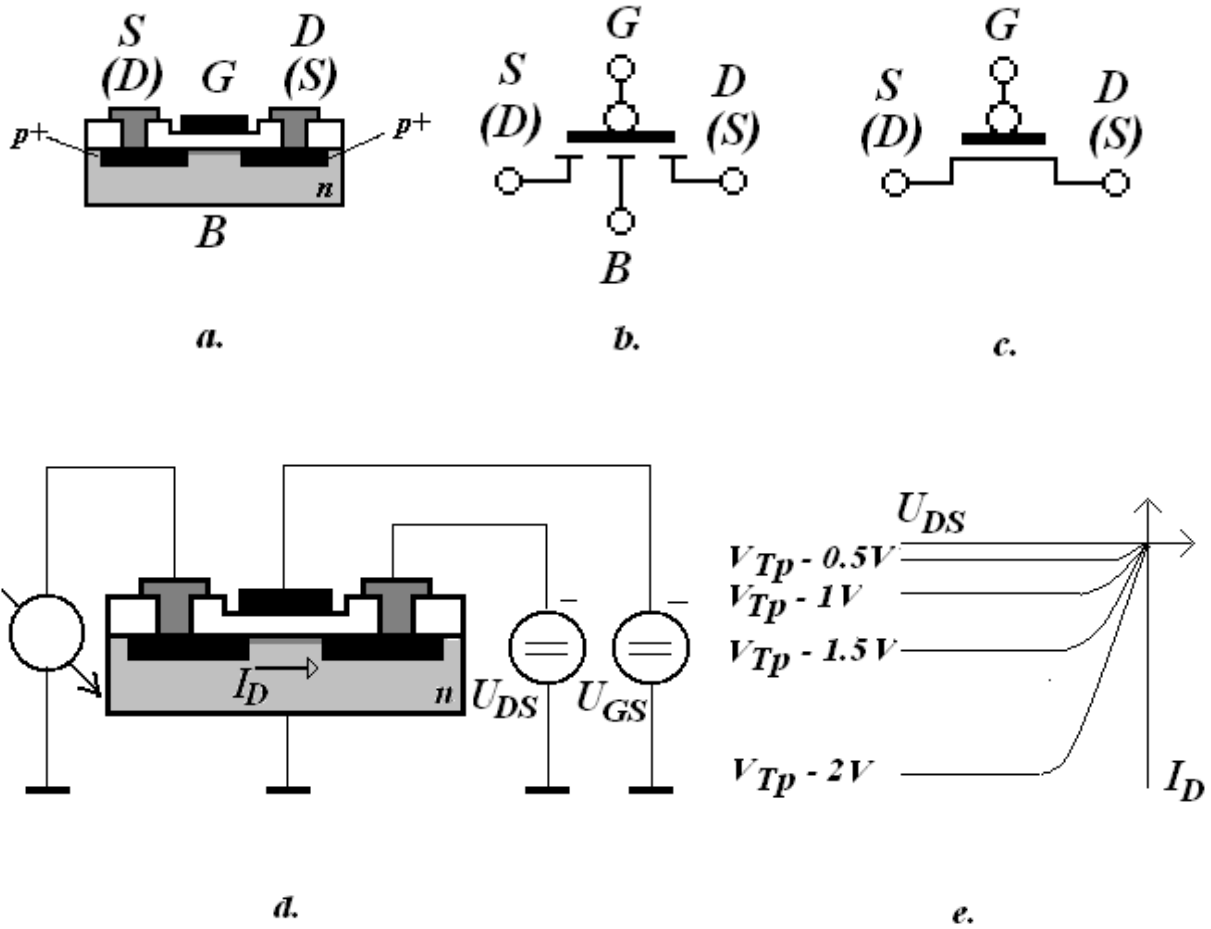
A p-MOSFET joggal tekinthető az n-csatornás komplementerének. Hordozója gyengén n-típusú, és **G -B** közé az inverzió érdekében negatív feszültséget kell kapcsolni. Az a **G-B** feszültség, amelynél a p-típusú inverziós csatorna megjelenik, a V_{Tp} küszöbfeszültség. A **D** elektróda csak akkor képes az inverziós csatorna áramának elnyelésére, ha negatívabb az **S**-

nél. Struktúráját a 2.a ábra, a szimbólumait a 2.b és c ábrák, karakterisztikáit a 2.e ábra mutatja.

Felhívjuk a figyelmet arra, hogy az n-csatornás eszközben az áramot elektronok szállítják. Mivel ezek negatív töltések, az ún. technikai áramirány, a pozitív töltéshordozók árama ezzel ellentétes. Ugyanakkor a p-csatornás eszközben, mivel abban a pozitív töltésű lyukak hordozzák a fizikai áramot, a fizikai és technikai áramirány megegyezik. Az n-csatornás eszközben a technikai áramirány a **D**-től a **S**-felé mutat, míg a p-csatornásban fordítva. Ha az n-csatornás eszköz áramirányát tekintjük pozitívnak, úgy a p-csatornás eszköz árama negatív.



1. ábra. Az n_MOSFET struktúrája, szimbólumai és karakterisztikái



2. ábra A p-MOSFET struktúrája, szimbólumai és karakterisztikái

1.2. MOSFET eszközök karakterisztikáinak egyszerű mérnöki modelljei

Ahogy az 1.e és 2.e ábrákon jól látható, az áram karakterisztikák két jól elkülöníthető részből állnak, és az egyszerű, de a mérnöki eszközméretezésben jól használható matematikai modell is két formulát tartalmaz, azzal a kiegészítéssel, hogy a lezárt, azaz a zérus áramú tartományt is precízen megadják. Tehát, az n-MOSFET modellje a következő :

Ha $U_{GS} < V_{Tn}$, akkor az n-MOSFET *lezárt* állapotban van, és
 $I_{Dn} = 0$;

Ha $U_{GS} > V_{Tn}$ és $U_{DS} < U_{GS} - V_{Tn}$, akkor az n-MOSFET *trióda* állapotban van, és

$$I_{Dn} = \beta_n ((U_{GS} - V_{Tn})U_{DS} - \frac{1}{2} U_{DS}^2)$$

Ha $U_{GS} > V_{Tn}$ és $U_{DS} \geq U_{GS} - V_{Tn}$, akkor az n-MOSFET *telítési* állapotban van, és

$$I_{Dn} = \beta_n / 2 (U_{GS} - V_{Tn})^2$$

Látható, hogy a trióda és a telítési tartomány az $U_{DS} = U_{GS} - V_{Tn} = U_{DSS}$ feszültségértéknél összeér. Ezt a kitüntetett **D** feszültséget telítési (szaturációs) feszültségnek nevezzük.

Hasonló matematikai formulákkal írhatók le a p-MOSFET karakterisztikái is. A p-csatornás eszközre vonatkozó feszültségek indexeinek cseréjével utalunk arra, hogy azok az eredeti index-sorrend mellett negatív előjelűek, az indexcserével és a küszöbfeszültség abszolút értékének bevezetésével azonban megszabadulhatunk a relációk iránya megváltoztatásának szükségességétől. Figyeljünk fel azonban arra, hogy a technikai áramirányok ellentétesek, míg az n-MOSFET esetében a **D**-felől a **S** felé folyik, addig a p-MOSFET-ben a **S** felől a **D** felé.

$$\text{Ha } U_{SG} < |V_{Tp}| \\ I_{Dp} = 0;$$

$$\text{Ha } U_{SG} > V_{Tn} \text{ és } U_{SD} < U_{SG} - |V_{Tp}| \\ - I_{Dp} = \beta_p ((U_{SG} - |V_{Tp}|) U_{SD} - \frac{1}{2} U_{SD}^2)$$

$$\text{Ha } U_{SG} > |V_{Tp}| \text{ és } U_{SD} \geq U_{SG} - |V_{Tp}| \\ - I_{Dp} = \beta_p / 2 (U_{SG} - |V_{Tp}|)^2$$

Fontos kiegészíteni a képet a működési tartomány hatáiról. Ha a **G** feszültségét túlságosan magasra állítjuk, a szilíciumdioxid „átüt”. Ez a feszültségérték függ az oxid vastagságától. A mai **VLSI** technológiában alkalmazott oxid-vastagságok mellett ez az átütési feszültség általában 10 V felett van, tehát messze a logikai magas szinttel azonos tápfeszültségtől.

A túlságosan nagy **D** feszültség vagy a **D-B** átmenet lavina-letöréséhez, vagy a **S-D** csatorna régió átszúrásához vezet. Ez utóbbi válik dominálóvá, és egyre kisebb, minél kisebb méretű eszközökről van szó. A **MOS-VLSI** áramkörök méreteinek csökkentése tehát megköveteli a tápfeszültség érték csökkentését is.

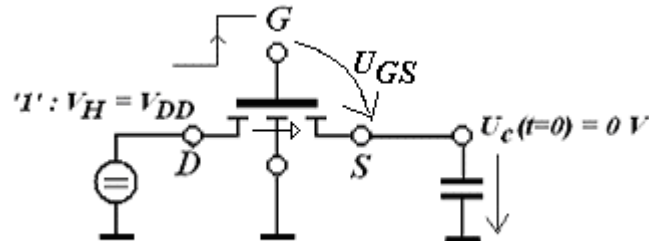
1.3. MOS eszközök, mint kapcsolók.

A logikai áramkörökben szokásos, úgynevezett egy tápfeszültséges rendszerben a logikai alacsony szinthez a 0, föld (GND) potenciált, a logikai magas szinthez pedig a pozitív tápfeszültség-értéket (V_{dd}) rendeljük. Megvizsgálhatjuk, hogy az n- illetve p-csatornás MOSFET hogyan viszik át egyik elektródájukról a másikra az egyes logikai szinteket. Azt fogjuk tapasztalni, hogy az n-MOSFET a logikai alacsony szintet jól átviszi, ezzel szemben a magas szintet csak küszöbfeszültségnyi hibával képes egyik oldaláról a másikra átjuttatni. A p-csatornás MOSFET pedig éppen fordítva viselkedik, a magas szinttel boldogul hiba nélkül.

Az 3. ábrán látható kapcsolás az n-MOSFET logikai magas-szint átvitelét bemutató kísérleti mérés egy lehetséges összeállítását mutatja. A MOSFET egyik elektródájára rákapcsoljuk a magas szintet, a másikra pedig egy teljesen kisütött kapacitást helyezünk. A tranzisztort a G elektródára adott pozitív feszültségugrással bekapcsoljuk, és követjük a kapacitás feszültségének időbeli változását.

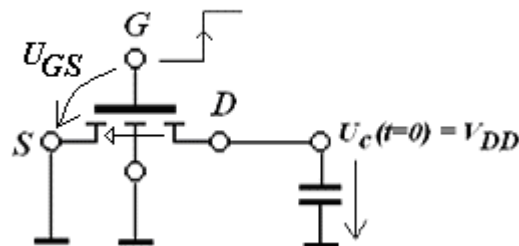
Megállapíthatjuk, hogy a bekapcsolás pillanatában baloldali elektróda a **D**, hiszen az a pozitívabb. Így a meginduló áram tölti a kapacitást, tehát annak feszültsége emelkedik. A

kérdés csak az, meddig folyik ez a töltőáram. Addig, amíg a S elektróda feszültsége is V_H lesz, vagy már korábban kifulladás a töltési folyamat. Sajnos azt látjuk, hogy a kapacitás feszültségének növekedésével csökken az eszköz U_{GS} feszültsége, és ha ez eléri a V_{Tn} küszöbfeszültséget, a töltőáram megszűnik. Tehát a S elektróda maximális feszültsége $V_H - V_{Tn}$ lesz.

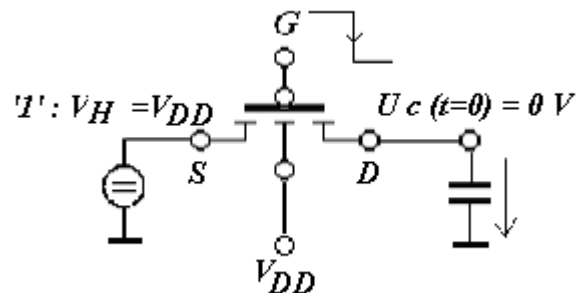


3. ábra. Az n-MOSFET magas szint átvitelének mérése

Az alacsony szinttel a n-MOSFET könnyen boldogul, hiszen ahogyan azt az 4. ábra alapján követni tudjuk, az S elektróda feszültsége nem változik a kisütés folyamán, így változatlan V_H értékű az U_{GS} feszültség is. A kisütő áram most csak akkor szűnik meg, ha a D feszültsége azonos lesz a S feszültségével, azaz amikor kapacitáson lévő feszültség zérus.

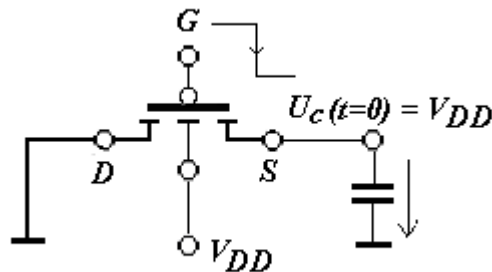


4. ábra. Az n-MOSFET alacsony szint átvitelének mérése



5. ábra A p-MOSFET magas szint átvitelének mérése

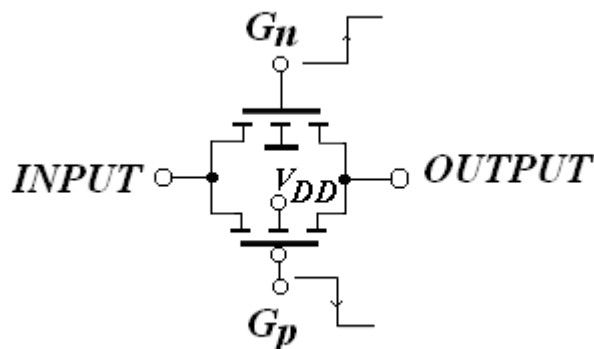
A p-MOSFET szintátvitelének tanulmányozására szolgáló elrendezések láthatók a 5. illetve 6. ábrákon. Azt javasoljuk az olvasónak, hogy a előbbiek alapján lássa be, hogy a p-MOSFET a logikai magas szintet hiba nélkül, az alacsony szintet pedig $|V_{Tp}|$ hibával viszi át.



6. ábra. A p-MOSFET alacsony szint átvitelének mérése

1.4. Az átvivő-kapu.

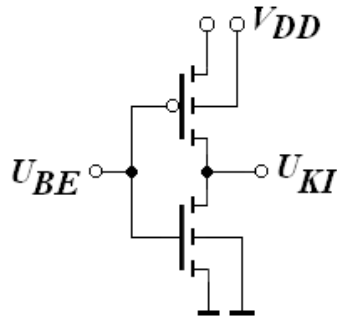
A 7. ábrán látható átvivő-kapu, angol nevén „transmission gate” (TG) egy n-MOSFET és egy p-MOSFET párhuzamos összekapcsolása. Ahhoz, hogy bekapcsoljuk, az n-MOSFET G elektródájára magas, a p-MOSFET G elektródájára alacsony szintet kell adni. Beláthatjuk, hogy a TG mind a magas, mind az alacsony szintet hibátlanul viszi át a bemenetről a kimenetre, hiszen egyik eszköz mindig kíséri a másikat, és befejezi a folyamatot.



7. ábra. Az átvivőkapu, vagy transmission gate

A TG a modern CMOS technika alapvető eleme, nemcsak digitális áramkörökben, de analóg kapcsolóként is gyakran alkalmazzák. Digitális technikában főleg a CMOS tárolóelemek felépítéséhez használják leginkább. A későbbiekben gyakran fogunk találkozni vele.

1.5. A CMOS inverter (8. ábra)

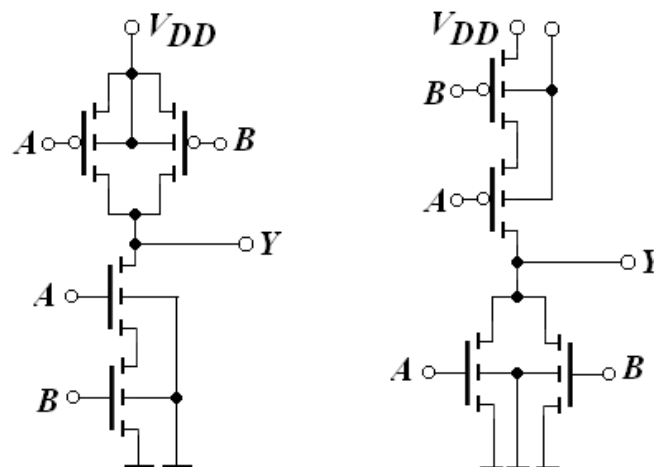


8. ábra. A CMOS inverter

A CMOS inverter egy közös kapuelektrodáról vezérelt n-MOS és p-MOS eszköz kettőse. Mindkét eszköz hordozója a forrás elektródával azonos potenciálon van, az n típusúé a legnegatívabb, a p típusúé a legpozitívabb ponton van. A kimenet a közös DRAIN pont. Belátható, hogy logikai 0 szinten az n-eszköz lezár, a p vezet, így torzítatlan 1 szint jelenik meg a kimeneten. Ha a bemenet 1, akkor az n eszköz vezet, a p lezár, tehát torzítatlan 0 szint jelenik meg a kimeneten. Ez az alternatív működés azzal tűnik ki, hogy a CMOS inverter, illetve a CMOS kapuk statikus fogyasztása elhanyagolható.

1.6. Duális ágú CMOS kapuk (9. ábra)

A 9. ábrán két-bemenetű kapukat mutatunk be. Belátható, hogy minden lehetséges logikai bemeneti kombinációnál a két ág, azaz a n-csatornás tranzisztorok és a p-csatornás tranzisztorok ágai alternatív módon működnek, vagy csak az egyik, vagy csak a másik vezet.



9. ábra. A 2-bemenetű, duális ágú CMOS NÉS (NAND) és NVAGY (NOR) kapu

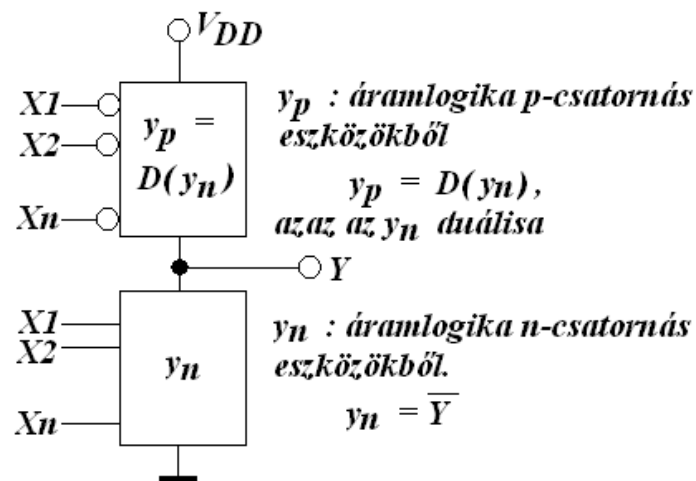
1.7. Duális ágú CMOS kapuk LAYOUT szintézisének alapelve

A 10. ábra mutatja, hogyan kell egy algebrai kifejezéssel adott függvényt megvalósító CMOS kapu ágait megszerkeszteni.

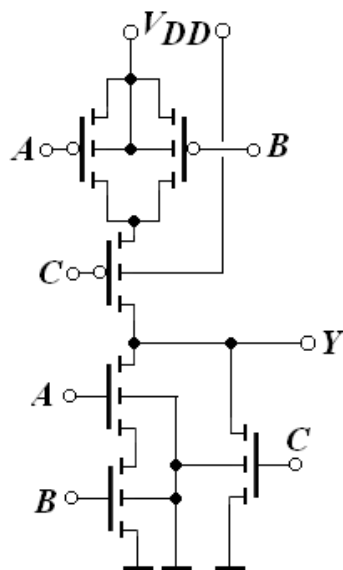
Eszerint:

1. A kapura megadott feszültség logikában értelmezett függvényt negáljuk, és ezt az n -csatornás tranzisztorok ág-logikájának leírásaként értelmezzük. Áglogikában a logikai szorzás soros, a logikai összeadás párhuzamos kapcsolásként értelmezhető.
2. Az n -csatornás áglogika kifejezésének duálisa lesz a p -csatornás ág leírása. A duálist úgy állítjuk elő, hogy a műveleti jeleket megcseréljük

A 11. ábra ezt az eljárást illusztrálja egy komplex függvény realizációjával.



10. ábra A duális ágú CMOS kapuk elvi felépítése



11. ábra. Az $Y = \text{not}(A.B + C)$ függvény megvalósítása duális ágakkal

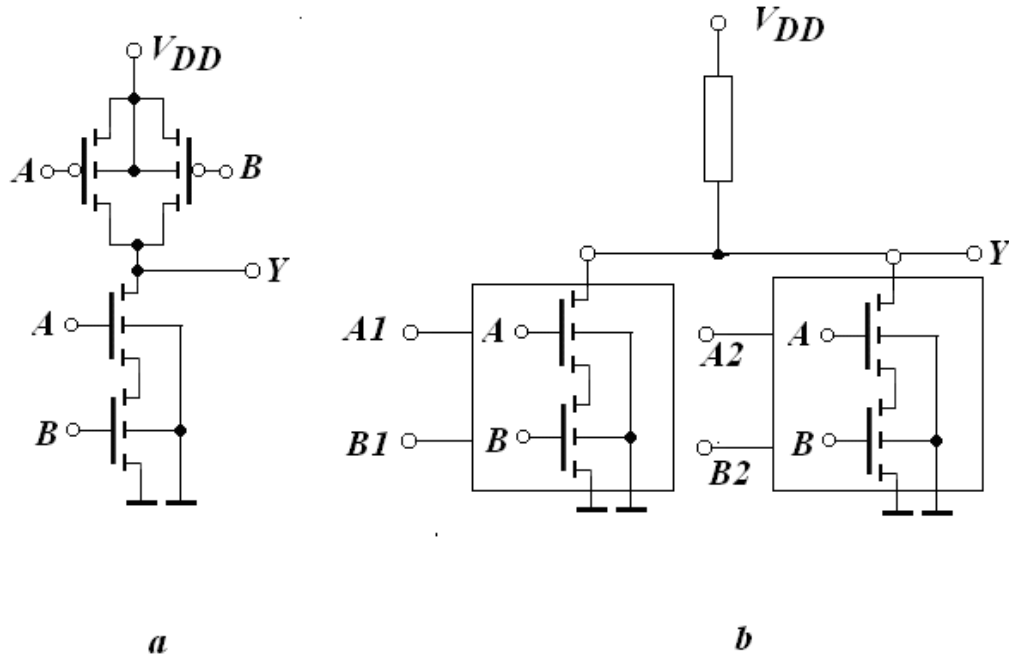
1.8. A HC logikai áramkör-család kialakulása

A múlt század hetvenes éveinek elején jelent meg az első, közepes integráltsági szintű elemeket is tartalmazó, univerzális feszültség-logikai áramkör-rendszer, a TTL család. A korai MOS áramkörökkel összehasonlítva ezek az elemek elsősorban jóval nagyobb sebességükkel tűntek ki, igaz ennek ára a nagy fogyasztás és disszipáció volt. A CMOS első generációja a TTL-hez képest igen energia-takarékos, de lassú áramkör-családot hozott. (RCA CD 4000 sorozat). A nyolcvanas években a méretcsökkentés (scale-down) lehetővé tette a sebesség radikális növelését a statikus disszipáció gyakorlatilag zérus szintje mellett. Felmerült a lehetősége annak, hogy a már kiforrott ITTL felhasználókat úgy csábítsák át CMPS felhasználókká, hogy ne kelljen funkcionálisan új áramkör-családot megismerniük, sőt a tokok láb-kompatibilisek legyenek a TTL tokokkal. Így született meg a TEXAS HC-MOS (High-Speed CMOS) logikai áramkör családja.

1.9. Kapuk a HC-családban

A kapuk típusai, lábkiosztásuk szinte teljes mértékben követi a múlt század hetvenes éveiben elterjedt TTL család kapuinál megszokottakat. Természetesen az egyszerűbb elemekből egy tokban több ilyen is található, pl 6 inverter (hex inverters HC04, vagy 4 két-bemenetű NAND (Quad 2-input NAND Gates, HC00). Ezekből készül úgynevezett TOTEM-POLE és nyitott-DRAIN (open.drain) kimenetű változat is. A 12. ábra szemlélteti a két változat közötti különbséget. Az indiánok totem-oszlopára utaló elnevezés még a TTL korból származik, és az ilyen végződés layout-beli alakjára utal. A lényeg az, hogy a TP kimenet zárt, azt más kimenetekkel összekapcsolni szigorúan tilos, mivel mindkét szintről kis

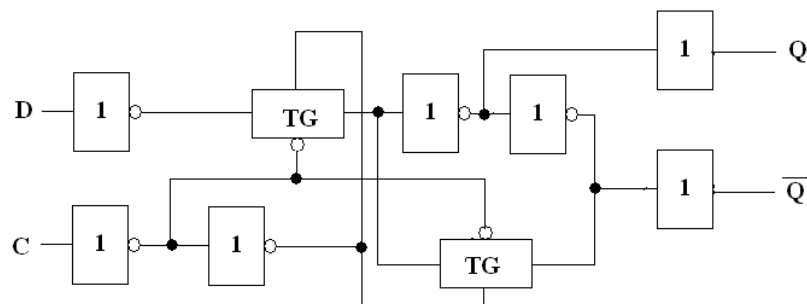
ellenállású, feszültség-generátorosnak tekinthető meghajtást képvisel a terhelésre. Az OD kivitel viszont lehetővé teszi, hogy több ilyen kapu kimenetét összekapcsoljuk, és közös terhelő ellenálláson keresztül a pozitív tápfeszültségre kössük, Így sajátos módon bővíthetjük a logikai funkciót. A meghajtó-képesség ebben az esetben persze aszimmetrikus, csak a logikai alacsony szinten tekinthető kis ellenállásúnak.



2. Tároló-elemek és FLIP-FLOPOK a HC-családban

2.1. Egyszerű, átlátszó tárolók

Az átlátszóság azt jelenti, hogy a tároló kimenete a beírójel magas szinten tartása esetén követi a bemenet változásait. Ilyen LATCH a HC rendszerben például a HC75, amelyet az ábrán látható módon inverterekből és átvivő-kapukból állítottak össze. Négy ilyen LATCH található a tokban.

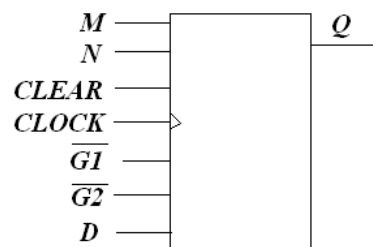


2.2. Élvezérlésű tárolók és regiszterek

A HC családban sok olyan tároló-elem és regiszter található, amelyben az átlátszóság időtartamát a beíró-jel felfutásának vagy lefutásának idejére korlátozták. A katalógusban megadott logikai vázlatok az élvezérlés konkrét logikai megoldását nem mutatják be, de a működésre vonatkozó leírások ezt egyértelműen közlik. Szükség van olyan regiszterek kialakítására, amelyek képesek a kimeneteikre kapcsolt sínek lebegtetésére is, tehát a regiszter kimeneteit logikai 3. állapotba lehet hozni. Ezeknek a regisztereknek általában abszolút elsőbbséggel bíró törlő bemenetük is van. Példaképpen nézzük a HC173 4-bites, törölhető, három-állapotú, felfutó-élre beírható regisztert. Az ábra szerinti kvázi-igazságtábla (function-table) írja le a működést.

$M = L$ és $N = L$

<i>CLEAR</i>	<i>CLOCK</i>	<i>DATA ENABLE</i>		<i>DATA</i>	<i>OUTPUT</i>
		<i>G1</i>	<i>G2</i>	<i>D</i>	Q^{n+1}
<i>H</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>X</i>	<i>L</i>
<i>L</i>	<i>L</i>	<i>X</i>	<i>X</i>	<i>X</i>	Q^n
<i>L</i>	↑	<i>H</i>	<i>X</i>	<i>X</i>	Q^n
<i>L</i>	↑	<i>X</i>	<i>H</i>	<i>X</i>	Q^n
<i>L</i>	↑	<i>L</i>	<i>L</i>	<i>L</i>	<i>L</i>
<i>L</i>	↑	<i>L</i>	<i>L</i>	<i>H</i>	<i>H</i>



Ha M és N közül egyik H szintű, a kimenet lebeg!

2.3. Mester-szolga tárolók

A HC rendszer MS tárolóinak mindegyike élvezérelt, és többségük az órajeltől függetlenül 1-be, illetve 0-ba állítható (aszinkron PRESET és CLEAR). A HC74 D-MS flip-flop katalógus szerinti funkció-táblázatát láthatjuk az ábrán, és a működésre vonatkozóan az alábbi következtetéseket vonhatjuk le:

<i>INPUTS</i>				<i>OUTPUTS</i>	
<i>PRE</i>	<i>CLR</i>	<i>CLK</i>	<i>D</i>	<i>Q</i>	$\overline{Q}$
<i>L</i>	<i>H</i>	<i>X</i>	<i>X</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>L</i>	<i>X</i>	<i>X</i>	<i>L</i>	<i>H</i>
<i>L</i>	<i>L</i>	<i>X</i>	<i>X</i>	<i>H</i>	<i>H</i>
<i>H</i>	<i>H</i>	↑	<i>H</i>	<i>H</i>	<i>L</i>
<i>H</i>	<i>H</i>	↑	<i>L</i>	<i>L</i>	<i>H</i>
<i>H</i>	<i>H</i>	<i>L</i>	<i>X</i>	<i>Qⁿ</i>	$\overline{Q}^n$

Ha a PRESET és CLEAR bemenetek magasak, akkor él a tárolóba a D bemenetről való beírás. Ha csak a PRESET alacsony, aszinkron 1-beírás, ha csak a CLEAR alacsony, aszinkron 0-beírás történik. Ha mindkettő alacsony, rendellenes magas szint-pár áll elő a kimeneteken. Ha egyik sem alacsony, akkor a D bemenetre kapcsolt szint az órajel felfutó élére a kimenetekre kerül. A funkciós táblából nem derül ki, de fontos, hogy a D bemenetet a soron következő lefutó él mintavételezi, tehát sikeres beírás csak akkor történhet, a beírni kívánt szintet a D bemenetre a megjelenítésre szánt órajel-felfutást megelőző lefutás előtt oda kell helyeznünk!

2.4. Multiplexerek

A multiplexerek a HC családban 4-1 illetve 8-1 szélességűek, a 4-1 méretűből egy tokba 4 is befér (HC153). A zárójelben megadott típussal kapcsolatban is megjegyzendő, hogy a szokásos kiválasztó és adat-bemeneteken kívül rendelkezik egy G-bemenettel is, amelynek magas szintje garantálja, hogy minden más bemenettől függetlenül alacsony szint legyen a kimeneten. Ha G alacsony, a kiválasztott adat-bemenet szintje jelenik meg a kimeneten.